



Plano de Ensino

1. Dados de Identificação

Curso: Ciência da Computação
Componente: Organização de Computadores
Fase: Terceira
Ano/Semestre: 2011/1
Numero de Créditos: 4
Carga horária - Hora Aula: 72
Carga horária - Hora Relógio: 60
Professor: Adriano Sanick Padilha

2. Objetivo Geral do Curso

O curso tem por objetivo a formação integral de novos cientistas e profissionais da computação, os quais deverão possuir conhecimentos técnicos e científicos e serem capazes de aplicar estes conhecimentos, de forma inovadora e transformadora, nas diferentes áreas de conhecimento da Computação. Adicionalmente, os egressos do curso deverão ser capazes de adaptar-se às constantes mudanças tecnológicas e sociais, e ter uma formação ao mesmo tempo cidadã, interdisciplinar e profissional

3. Ementa

Tendências tecnológicas na fabricação de CPUs e memórias. CPU: instruções e modos de endereçamento. Formatos de instruções e linguagem de montagem. Simulador e montador. Datapath e unidade de controle. Alternativas de implementação (monociclo, multiciclo, pipeline, superescalar). Exceções e interrupções. Conflitos estruturais, de dados e de controle. Hierarquia de memória e associatividade (cache e TLB). Dispositivos de entrada e saída: tipos, características e sua conexão à CPU e à memória. Comunicação com a CPU (polling, interrupção, DMA).

4. Justificativa

A disciplina de Organização de Computadores consiste em dar sequencia aos conhecimentos adquiridos pelos acadêmicos de Ciência da Computação nas disciplinas de Circuitos Digitais e Sistemas Digitais, proporcionando o entendimento do funcionamento interno de um computador e de sua performance.

5. Objetivo

5.1 Geral

Conhecer os principais conceitos envolvidos na concepção da arquitetura e organização dos computadores, sabendo caracterizar e entender o funcionamento interno de um computador, dada uma certa arquitetura, reconhecendo o impacto de cada alternativa sobre fatores como desempenho e custo.

5.2 Específicos

- Apresentar os conceitos fundamentais de um computador em termos de seus componentes básicos (processador, sistema de memória e dispositivos de entrada e saída), abstraindo sua implementação física;
- Prover exemplos reais e contemporâneos desses componentes básicos
- Estabelecer a noção de modelo de programação (programmer's view) de um sistema computacional;
- Mostrar o papel da linguagem de montagem como formato intermediário para geração de código .



6. Cronograma e Conteúdo Programático

Semana	Conteúdo
1	Apresentação do Plano de Ensino; Visão geral da disciplina.
2	Periféricos: tipos e características dos dispositivos de E/S.
3	Periféricos: tipos e características dos dispositivos de E/S.
4	Métodos de comunicação: entrada e saída programada, entrada e saída controlada por interrupção, acesso direto à memória (DMA), <i>polling</i> .
5	Interface Processador/Periféricos: introdução, impacto do sistema de E/S no desempenho, medidas de desempenho de E/S.
6	Aplicações práticas: Cálculo da taxa de ocupação do processador para diferentes métodos de comunicação.
7	Interface Processador/Periféricos: Barramentos; Hierarquia de Memória: introdução, princípio da localidade. Memória cache: conceitos básicos, organização, acesso.
8	Avaliação de Conhecimento (parcial NP1).
9	Memória Cache: uso da localidade espacial, projeto de um sistema de memória para suportar cache; Memória Cache: medidas de desempenho da, caches associativas e tamanho de rótulos, seleção do bloco a ser substituído.
10	Memória virtual: Paginação, segmentação, fragmentação; Colocação de uma página na memória principal, faltas de página, escrita de uma página.
11	Memória virtual: TLB, integração de memória virtual, TLBs e caches, operação completa da hierarquia de memória, proteção com memória virtual. Memória virtual: manipulação de faltas de página e de faltas na TLB. Uma estrutura comum para hierarquias de memória; Avaliação de Conhecimento (parcial NP1).
12	Arquitetura do Processador MIPS: características gerais, registradores, formatos de instrução, modos de endereçamento
13	Linguagem Assembler (MIPS) – (Encaminhamento do trabalho de programação em assembler).
14	MIPS monociclo: instruções a serem implementadas, regime de clock, construção do bloco operativo; MIPS monociclo: controle da ULA, execução das instruções, bloco de controle principal, desempenho de máquinas monociclo.



15	MIPS multiciclo: construção do bloco operativo, execução das instruções; MIPS multiciclo: projeto do bloco de controle com Máquina de Estados Finitos (FSM);
16	MIPS multiciclo: projeto do bloco de controle com microprogramação; MIPS pipeline: visão geral do pipeline, conflitos na execução em pipeline; MIPS pipeline: construção do bloco operativo pipeline, visualização da execução das instruções no pipeline, o bloco de controle pipeline. MIPS pipeline: conflitos por dados e adiantamento; MIPS pipeline: conflitos por dados e paradas, conflitos em desvios condicionais.
17	Avaliação de conhecimento - NP2

7. Procedimentos Metodológicos (estratégias de ensino, equipamentos, entre outros)

Aulas expositivas com recursos multimídia e quadro/gis, discussões sobre artigos de revistas técnicas (tecnológicas) em sala de aula e utilização de simuladores para a contextualização do conteúdo teórico exposto.

Horário de atendimento aos acadêmicos será nas Segundas-feiras no período T1 .

8. Avaliação do Processo Ensino-Aprendizagem

A avaliação será realizada através de provas escritas, trabalhos (Projeto Integrador) e seminários. A composição da nota final (NF) é a média aritmética das notas parciais (NP): $NF = (NP1 + NP2) / 2$. O acadêmico terá a aprovação da disciplina se a sua NF for igual ou superior a 6.

A NP1 é formada pela nota da prova escrita (PE) e pelo somatório das notas dos trabalhos em grupo (TG), $NP1 = PE * 0,6 + TG * 0,4$. Caso o acadêmico não atinja uma NP1 igual 6, será realizada uma avaliação de recuperação (AR) contemplando todo o conteúdo trabalhado e a nota da PE será substituída pela nota da AR na integralização da NP1.

A NP2 é formada pela nota da prova escrita (PE) de todo o conteúdo do semestre e a nota do Projeto Integrador, $NP2 = PE * 0,6 + NS * 0,4$. Caso o acadêmico não atinja uma NP2 igual 6, será realizada uma avaliação de recuperação (AR) contemplando todo o conteúdo do semestre e a nota da PE então será substituída pela nota de AR na integralização da NP2.



9. Referências

9.1 Básicas

- PATTERSON, David A.; HENNESSY, John L.. Organização e Projeto de Computadores. Rio de Janeiro, RJ, Elsevier, 2005.
- STALLINGS, William. Arquitetura e Organização de Computadores: projeto para o desempenho. 5a ed., São Paulo, SP, Prentice Hall, 2005.
- TANENBAUM, Andrew S.. Organização Estruturada de Computadores. 5a ed., Rio de Janeiro, Prentice-Hall do Brasil, 2006.

9.1 Específicas

- MURDOCCA, Miles J.. Introdução à Arquitetura de Computadores. Rio de Janeiro, Campus, 2001.
- HENNESSY, John L.. Arquitetura de Computadores: uma abordagem quantitativa. Rio de Janeiro, Campus, 2003.
- MANO, M.. Computer System Architecture. Englewood Cliffs, NJ, Prentice-Hall International, 1993.
- HEURING, Vincent P.. Computer Systems Design and Architecture. 2a ed., Upper Saddle River, NJ, Pearson Prentice Hall, 2004.
- HARRIS, David Money. Digital Design and Computer Architecture. Amsterdam, Elsevier, 2007.