



PLANO DE ENSINO

1. IDENTIFICAÇÃO

Curso: Ciência da Computação

Componente curricular: GEX443 - Linguagem de descrição de hardware (Optativo)

Fase: 8ª Fase - Matutino

Ano/semestre: 2016/02

Número da turma: 15307

Número de créditos: 4

Carga horária – Hora aula: 72

Carga horária – Hora relógio: 60

Professor: Adriano Sanick Padilha

Atendimento ao Aluno: Quarta-feira – 14:00h às 16:30h.

2. OBJETIVO GERAL DO CURSO

O curso tem por objetivo a formação integral de novos cientistas e profissionais da computação, os quais deverão possuir conhecimentos técnicos e científicos e serem capazes de aplicar estes conhecimentos, de forma inovadora e transformadora, nas diferentes áreas de conhecimento da Computação. Adicionalmente, os egressos do curso deverão ser capazes de adaptar-se às constantes mudanças tecnológicas e sociais, e ter uma formação ao mesmo tempo cidadã, interdisciplinar e profissional.

3. EMENTA

Fundamentos de lógica reconfigurável; Estudo de dispositivos lógicos programáveis. Estudo da linguagem VHDL para programação de dispositivos lógicos; Estudo de ferramentas de EDA para desenvolvimento automatizado de projetos e simulações de circuitos lógicos reconfiguráveis; Estudo dos kits de desenvolvimento utilizando CPLDs e FPGAs; Desenvolvimento de projetos de circuitos lógicos combinacionais; Desenvolvimento de projetos de circuitos lógicos sequenciais; Desenvolvimento de projetos utilizando a técnica de máquinas de estados.

4. OBJETIVOS

4.1 GERAL

Ao término desta unidade curricular, o acadêmico deverá ser capaz de projetar, analisar e sintetizar sistemas digitais através da linguagem VHDL.

4.2 ESPECÍFICOS

- Aprender a programar circuitos utilizando VHDL;
- Compilar os modelos utilizando GHDL;
- Utilizar TestBenches para aplicar estímulos ao circuito
- Simular utilizando ModelSim.

5. CRONOGRAMA E CONTEÚDOS PROGRAMÁTICOS

<i>Encontro</i>	<i>Conteúdo</i>	<i>Hora/Aula Acum.</i>
1	Apresentação do plano de ensino e contextualização da disciplina no curso e na vida profissional do cientista da computação.	3
2	Sistemas de I/O – Teclados:	5
3	Sistemas de I/O – Displays:	8
4	Sistemas de I/O – Displays:	10
5	Sistemas de I/O – Displays:	13
6	Tecnologias de Comunicação: UART – RS232, RS485, IRDA, *RF.	15
7	Tecnologias de Comunicação: UART – Protocolos associados a camada física.	18
8	Tecnologias de Comunicação: I2C, SPI.	20
9	Tecnologias de Comunicação: CAN, LIN – Protocolos associados a camada física.	23
11	Tecnologias de Comunicação: USB.	25
12	Tecnologias de Comunicação: HDMI.	28
13	Arquitetura do ARM CORTEX – M.	30
14	Arquitetura do ARM CORTEX – R.	33
15	Hierarquia de MEM do ARM CORTEX – R.	35
16	Set de Instruções do ARM CORTEX – R.	38
17	Firmware para sistemas de Tempo Real x Sistema Operacional.	40
18	Firmware para sistemas de Tempo Real x Sistema Operacional.	43
19	Introdução do SO FreeRTOS	45
20	Introdução do SO FreeRTOS	48
21	Introdução do SO FreeRTOS	50
22	Introdução do SO FreeRTOS	53
23	Arquitetura do ARM Cortex - A	55
24	Arquitetura do ARM Cortex - A	58
25	Arquitetura do ARM Cortex - A	60
26	Arquitetura do ARM Cortex - A	63
27	Comparação entre os diversos SOs para Sistemas Embarcados	65
28	Comparação entre os diversos SOs para Sistemas Embarcados	68
29	Seminário Final da Disciplina	70
30	Seminário Final da Disciplina	72

6. PROCEDIMENTOS METODOLÓGICOS

Aulas expositivas com recursos multimídia e quadro/giz, discussões sobre artigos de revistas técnicas (tecnológicas) em sala de aula e utilização de simuladores para a contextualização do conteúdo teórico exposto. O professor utilizará o ambiente virtual MOODLE como ambiente de ensino-aprendizagem, nele o aluno encontrará artigos, slides das aulas expositivas, lista de exercícios, link dos simuladores de circuitos digitais e videoaulas complementares.

Horário de atendimento aos acadêmicos será nas quartas-feiras no período noturno (14:00h-16:30h).



7. AVALIAÇÃO DO PROCESSO ENSINO-APRENDIZAGEM

A avaliação será realizada através de provas escritas, trabalhos e seminários. A composição da nota final (NF) é a média aritmética das notas parciais (NP): $NF = (NP1 + NP2 + NP) / 3$. O acadêmico terá a aprovação da disciplina se a sua NF for igual ou superior a 6.

A composição das NPs são formadas pelas médias ponderadas dos trabalhos práticos (60%) e o seminário de apresentação (40%) do assunto pertinente. Caso o acadêmico não atinja uma NP igual ou superior a 6, será realizada uma avaliação de recuperação (AR) contemplando todo o conteúdo trabalhado.

7.1 RECUPERAÇÃO: NOVAS OPORTUNIDADES DE APRENDIZAGEM E AVALIAÇÃO

Na aula subsequente a avaliação de conhecimento, a mesma será corrigida em aula, esclarecendo dúvidas pertinentes as questões. Nesta aula será definida a data da avaliação de recuperação. A avaliação de recuperação substituirá a nota da avaliação de conhecimento PE na integralização da NP em questão, como explicado no item 7.

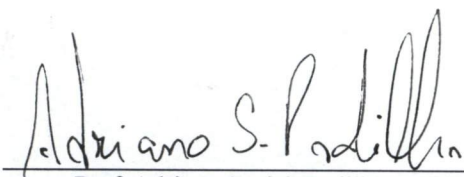
8. REFERÊNCIAS

8.1 BÁSICA

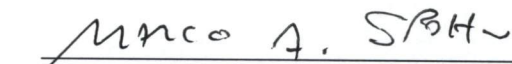
- AMORE, Roberto d'. **VHDL: descrição e síntese de circuitos digitais**. Rio de Janeiro: LTC, 2005.
- ARMSTRONG, James R. **VHDL design representation and synthesis**. 2nd ed. Upper Saddle River: Prentice Hall PTR, 2000.
- ASHENDEN, Peter J. **The designer's guide to VHDL**. 2nd ed. San Francisco: Morgan Kaufmann Publishers, 2002.
- YALAMANCHILI, Sudhakar. **Introductory VHDL: from simulation to synthesis**. Upper Saddle River: Prentice Hall, 2001

8.2 COMPLEMENTAR

- SCARPINO, Frank A. **VHDL and AHDL digital system implementation**. Upper Saddle River: Prentice Hall PTR, 1998.
- SKAHILL, Kevin. **VHDL for programmable logic**. Reading: Addison Wesley.
- YALAMANCHILI, Sudhakar. **VHDL starter's guide**. Upper Saddle River: Prentice Hall, 1998.
- BROWN, S., VRANESIC, D., ZVONKO, G. **Fundamentals of digital logic with VHDL design**. Boston: McGraw-Hill, 2000.



Prof. Adriano Sanick Padilha
Siape: 1332944



Coordenador do Curso de Ciência da Computação
Marco Aurélio Spohn
Siape: 1521671